



Conheça os flip-flops, que são a célula básica de memória nos circuitos digitais, e aprenda a lidar com eles através de várias montagens práticas.

QUANDO se necessita de um circuito capaz de acompanhar uma seqüência de eventos, como é o caso, por exemplo, de um contador, temos de recorrer a algo que seja capaz de **memorizar** informações. A célula de memória mais simples de que podemos dispor é, sem dúvida, o **multivibrador biestável**, mais comumente conhecido como **flip-flop**, e que daqui por diante designaremos abreviadamente por FF.

O desenvolvimento cada vez mais crescente da Eletrônica Digital coloca os FF na lista dos circuitos que não podem deixar de ser estudados (e entendidos) por um técnico de Eletrônica.

#### RS — O FLIP-FLOP BÁSICO

O mais comum dos FF é o tipo RS (ou "set-reset"), pelo qual começaremos nosso estudo. A representação convencional de um FF RS é mostrada na Fig. 1. Como vemos, ele apresenta duas entradas: S — entrada de sensibilização ("set" — operar, ativar) e R — entrada de reciclagem ("reset" — limpar, reiniciar). O FF RS dispõe também de duas saídas:

Q e  $\bar{Q}$ , sendo uma complementar à outra, isto é, se Q estiver em nível lógico **alto**,  $\bar{Q}$  deverá ficar em nível **baixo**, e vice-versa.

A entrada S é a que recebe o bit que ativa o FF, levando a saída Q a um nível **alto** ("1" lógico); uma vez acionado, o FF permanecerá neste estado, mesmo que seja aplicado à entrada S um bit diferente do anterior.

Para conseguir que a saída Q seja levada a um nível **baixo** ("0" lógico), devemos atuar na entrada R, aplicando a ela um nível igual ao que foi utilizado para ativar o FF; com isto "limpamos" o FF, que permanecerá neste estado até receber outro bit na entrada S, capaz de ativá-lo. Em outras palavras, podemos dizer que o FF RS memoriza em sua saída o último bit que recebeu.

O FF RS poderá ser ativado e limpo tanto com "1" como "0"; isto só dependerá do tipo de portas que forem utilizadas em sua construção.

#### PAULO BRITES

Podemos construir o FF RS com duas portas NE ou duas portas NOU. O FF RS obtido com portas NE ou NOU (que estudaremos a seguir) costuma ser chamado, em inglês, de circuito "latch", cuja tradução literal, **trinco**, é, portanto, bem apropriada para este circuito, já que ele é capaz de "prender" a informação que recebeu, até que se envie o nível lógico adequado para abrir o "trinco".

Complementando a informação que apresentamos em destaque linhas atrás, quanto aos níveis lógicos utilizados para ativar e limpar o FF RS, temos o seguinte:

---

O FF RS com portas NOU é ativado ("set") e reciclado ("clear") com "1"; o FF RS com portas NE é ativado e reciclado com "0".

---

(\*) Técnico de Telecomunicações da Embratel.

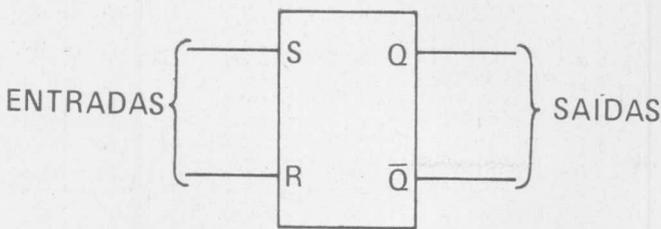
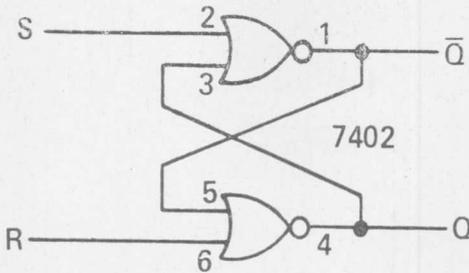


FIG. 1 — Representação simbólica de um flip-flop RS.

FIG. 2 — Obtenção de um flip-flop RS utilizando duas portas NOU do C.I. 7402.



### OBTENÇÃO DE UM FF RS COM PORTAS NOU

Uma das maneiras de se obter um FF RS é utilizando duas portas NOU interligadas, como se vê na Fig. 2. Para comprovar a teoria a respeito do FF RS, devemos montar o circuito da Fig. 2 utilizando o C.I. 7402, onde os diodos fotemissores ("LED") ligados nas saídas auxiliarão a analisar o funcionamento deste circuito. A Fig. 3 nos mostra as ligações a serem realizadas no circuito prático.

Ao ligar a alimentação, as saídas do FF se apresentarão em estados que não podemos prever; assim sendo, "limpe" o FF inicialmente, aplicando um nível alto à entrada R, o que é conseguido pressionando-se a chave R. Teremos então o diodo Q apagado, e  $\bar{Q}$  aceso. Vamos, agora, ativar o FF, levando um nível alto à entrada S, o que é feito pressionando-se a chave S. Feito isto, o diodo Q acenderá, ao mesmo tempo em que o diodo  $\bar{Q}$  apagará, permanecendo ambos neste estado até que o FF seja "limpo" novamente.

Na Fig. 4 temos um diagrama dos níveis lógicos que foram aplicados e os resultados obtidos, os quais podem ser acompanhados na Tabela I, que — diga-se de passagem — deverá ficar "armazenada" na "cuca" do leitor.

Na Tabela I,  $Q_t$  significa o estado do FF no tempo t, enquanto  $Q_{t-1}$  corresponde ao estado do FF no tempo imediatamente anterior (esta terminologia será utilizada daqui por diante).

Finalmente, de tudo que foi visto, devemos guardar os seguintes fatos, pois estes sempre serão úteis no futuro:

### CONSTRUINDO UM FF RS COM PORTAS NE

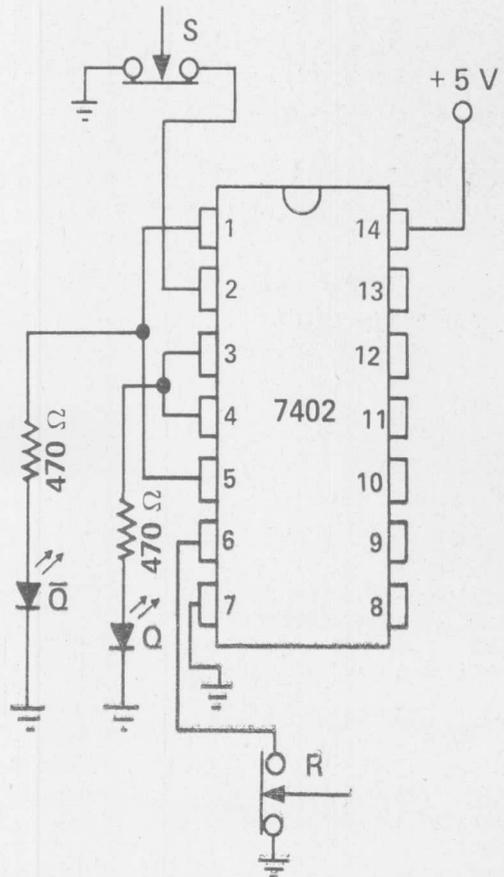
Uma outra maneira de se conseguir um FF RS é utilizando duas portas NE, como mostra a Fig. 5.

Na prática, esta montagem costuma ser preferida à outra que utiliza portas NOU apresentada anteriormente; todavia, os resultados obtidos serão similares, como veremos a seguir.

No caso de usarmos portas NE, o FF será ativado e "limpo" com nível baixo, ao contrário do FF com portas NOU estudado anteriormente, que utilizava nível alto para estas mesmas tarefas.

Para o circuito prático da Fig. 5, utilizamos duas portas NE do C.I. 7400, cujas ligações são mostradas na Fig. 6. A Fig. 7 for-

FIG. 3 — Circuito prático do FF RS com portas NOU. Os interruptores R e S são do tipo "normalmente fechado", de pressão ("interruptor de porta de geladeira"); os diodos fotemissores podem ser de qualquer tipo (TIL209A, FLV110, por exemplo).




---

S = "0" e R = "0"	⇒ Estado de memorização
S = "1" e R = "0"	⇒ Ativa o FF, fazendo Q = "1" e $\bar{Q}$ = "0"
R = "1" e S = "0"	⇒ "Limpa" o FF, fazendo Q = "0" e $\bar{Q}$ = "1"
S = "1" e R = "1"	⇒ Condição não permitida, pois implica em Q = $\bar{Q}$

---

Neste ponto sugerimos que, antes de continuar a leitura, o circuito da Fig. 3 seja bem praticado, a fim de que todos os conceitos fiquem completamente sedimentados.

nece o diagrama de níveis lógicos aplicados e os resultados obtidos, enquanto a Tabela II nos dá um resumo do comportamento do FF.

Observe (mais uma vez) no resumo que mostramos a seguir

R	S	$Q_t$	ESTADO
0	0	$Q_{t-1}$	MEMÓRIA
0	1	1	OPERA
1	0	0	LIMPA
1	1	NÃO PERMITIDO	$Q = \bar{Q}$

TABELA I

R	S	$Q_t$	ESTADO
1	1	$Q_{t-1}$	MEMÓRIA
1	0	1	OPERA
0	1	0	LIMPA
0	0	NÃO PERMITIDO	$Q = \bar{Q}$

TABELA II

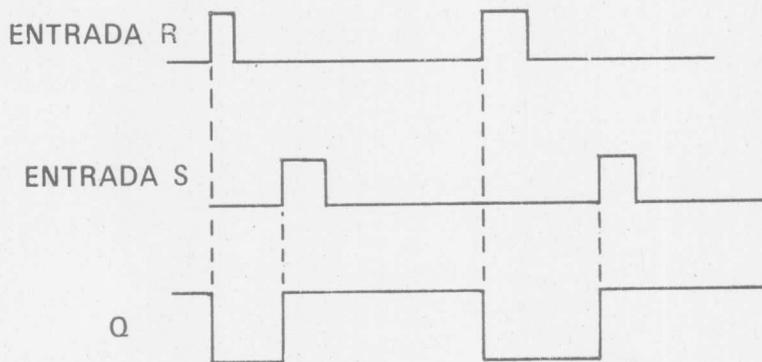


FIG. 4 — Diagrama de níveis lógicos do FF RS com portas NOU.

que, neste caso, o FF é sensibilizado e reciclado com "0", e não com "1", como no caso do FF com portas NOU já estudado.

A escolha do circuito que devemos adotar dependerá de um critério que estará intimamente ligado com o tipo de bit que ire-

- S = "1" e R = "1" ⇒ Estado de memorização
- S = "0" e R = "1" ⇒ Ativa o FF, fazendo  $Q = "1"$  e  $\bar{Q} = "0"$
- R = "0" e S = "1" ⇒ Limpa o FF, fazendo  $Q = "0"$  e  $\bar{Q} = "1"$
- S = "0" e R = "0" ⇒ Condição não permitida, pois implica em  $Q = \bar{Q}$

Embora haja uma diferença nos níveis utilizados para sensibilizar e limpar estes dois FF, um fato comum a ambos, e que merece ser registrado, é o seguinte:

As condições S = R = "0", e S = R = "1" apresentam resultados similares para as duas montagens, ora levando ao estado de memorização, ora levando à condição não permitida.

TABELA I — Tabela de Verdades de um flip-flop RS formado por portas NOU.

TABELA II — Tabela de Verdades de um flip-flop RS formado por portas NE.

S	R	HAB.	Q
X	X	0	*
0	0	1	MEMÓRIA
1	0	1	1
0	1	1	0
1	1	1	NÃO PERMITIDO

\* alta impedância

X — não importa o nível lógico

TABELA III

TABELA III — Tabela de Verdades dos flip-flops contidos no C.I. 4043.

mos utilizar para ativar e limpar o FF, pois, fora isto, os circuitos são iguais. Além disso, um rápido artifício poderá fazer com que os circuitos se tornem exatamente iguais. A introdução de dois inversores, um em cada entrada do FF RS com portas NE, o tornará operacionalmente igual ao com portas NOU, isto é, faz com que ele passe a funcionar também com nível alto.

A configuração a ser utilizada é vista na Fig. 8a. Aqui vai uma sugestão: caso somente o 7400 esteja "pintando" em nossa sucata, podemos aproveitar as outras duas portas NE que ainda ficaram disponíveis para fazer os inversores. Dê uma olhada na Fig. 8b, onde está tudo prontinho para você montar.

### FF RS DA FAMÍLIA CMOS

Embora a construção de FF RS seja bastante simples usando portas NE e NOU, como acabamos de estudar, mais uma facilidade pode ser obtida com o auxílio de integrados da família CMOS.

Nesta família encontramos dois C.I. que nos fornecem, cada um deles, quatro circuitos de retenção ("latch") com FF RS, sendo o 4043 do tipo com portas NOU, e o 4044 com portas NE.

Uma particularidade adicional nestes C.I. é que eles pertencem à lógica de três estados ("tri-

### ENTRADA DE SENSIBILIZAÇÃO

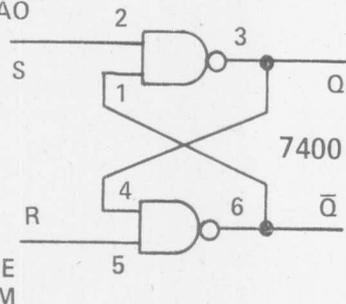


FIG. 5 — Flip-flop RS utilizando duas portas NE do C.I. 7400.

### ENTRADA DE RECICLAGEM

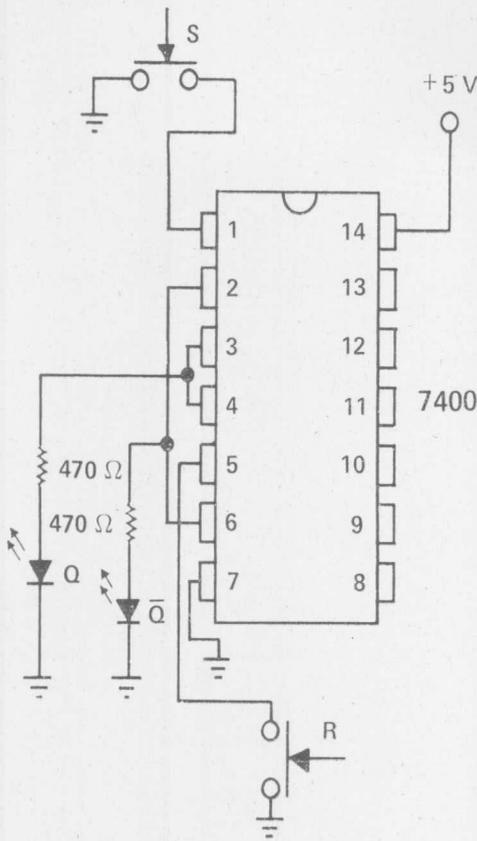


FIG. 6 — Circuito prático do FF RS com portas NE. Os interruptores R e S são do tipo de pressão "normalmente aberto" ("interruptor de campainha").

S	R	HAB.	Q
X	X	0	*
1	1	1	MEMÓRIA
0	1	1	1
1	0	1	0
0	0	1	NÃO PERMITIDO

\* alta impedância  
X — não importa o nível lógico

TABELA IV

TABELA IV — Tabela de Verdades dos flip-flops contidos no C.I. 4044.

Nas Figs. 9a e 9b damos a configuração do 4043 e 4044, e suas tabelas de verdades (Tabelas III e IV, respectivamente).

### UMA APLICAÇÃO PARA OS FF RS: CIRCUITO ANTI-REPIQUE EM CONTATOS

Quando utilizamos interruptores de pressão para produzir pulsos de cadenciador ("clock") em um determinado circuito, geralmente ocorre o efeito indesejável do "repique", produzido pe-

state"); tais integrados possuem uma entrada de habilitação ("enable") que desconecta a saída do circuito (no caso, Q) quando um nível lógico pré-estabelecido lhe é aplicado. Para o nível oposto, a saída fica, então, disponível, ou seja, "habilitada".

No caso dos circuitos de retenção em questão, o pino de habilitação é o de número 5; o circuito só ficará habilitado quando aplicarmos um nível alto. Todavia, estes FF só nos fornecem as saídas Q, por não haver pinos disponíveis para as saídas  $\bar{Q}$ .

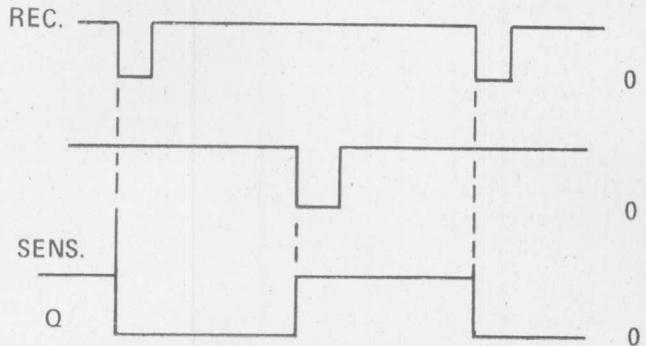


FIG. 7 — Diagrama de níveis lógicos do FF RS com portas NE.

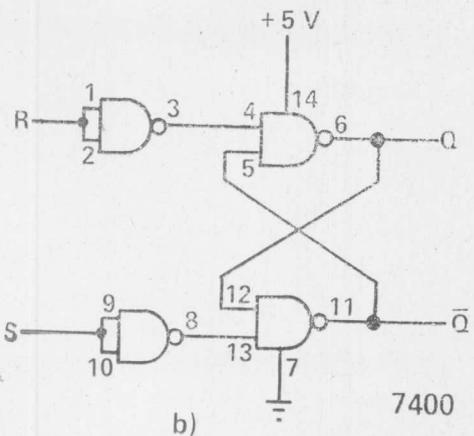
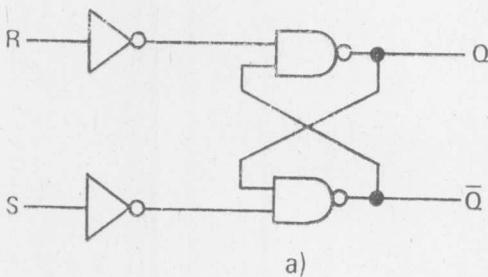


FIG. 8 — a) Utilizando-se inversores nas entradas de um FF RS com portas NE, tornamo-lo operacionalmente igual ao obtido com portas NOU; b) circuito prático com o C.I. 7400.

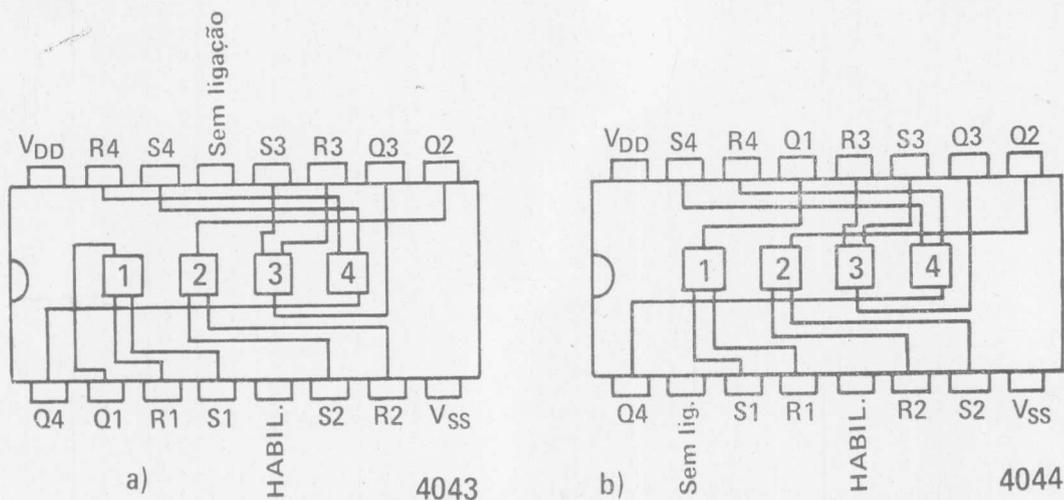


FIG. 9 — a) Função dos pinos do integrado 4043 (quatro FF RS de três estados com portas NOU); b) função dos pinos do C.I. 4044 (quatro FF RS de três estados com portas NE).

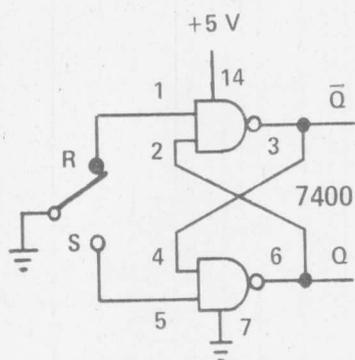


FIG. 10 — Circuito anti-ripique utilizado para gerar pulsos para circuitos lógicos.

las palhetas metálicas dos contatos da chave no instante em que elas são unidas ou separadas. Isto gera um centelhamento, e o circuito em que o interruptor atua recebe uma informação de interpretação duvidosa, o que é bastante indesejável em entradas de cadenciador de circuitos contadores, por exemplo. Para eliminar este efeito pode-se utilizar um

FF RS feito, por exemplo, com duas portas NE de um 7400, como mostra a Fig. 10.

Observe que a entrada de reciclagem está normalmente ligada à massa; assim,  $Q$  fica em nível baixo, e  $\bar{Q}$ , alto (FF RS com portas NE); quando a chave é acionada, ela leva a entrada de sensibilização à massa e, com isto, faz  $Q$  ficar em nível alto, e  $\bar{Q}$ , baixo; ao soltar a chave, ela retorna à posição inicial, ou seja, coloca a entrada de reciclagem novamente à massa, fazendo a saída  $Q$  voltar a "0", e  $\bar{Q}$  voltar a "1". Acompanhe na Fig. 11 o que acontece com as saídas  $Q$  e  $\bar{Q}$  cada vez que a chave é acionada.

Aqui cabe uma breve observação, para quem estiver se iniciando nas técnicas digitais; o circuito da chave que acabamos de apresentar é de grande valia para experiências com C.I. lógicos, quando precisamos aplicar pulsos de cadenciador a algum circuito. Por isso, fica aqui uma

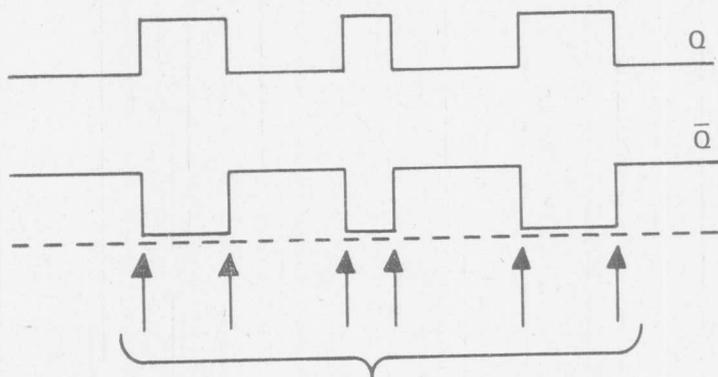
sugestão: monte pelo menos duas chaves com circuito anti-ripique para utilizá-las em experiências futuras.

### FF RS COM CADENCIADOR

Estudaremos, agora, um FF RS que conta com mais uma entrada: a entrada de cadenciador ("clock"). O circuito é uma implementação do FF RS com portas NE visto na Fig. 5 (poderia também ser o com portas NOU). Vejamos quais as modificações introduzidas, acompanhando o "novo circuito" (Fig. 12).

Dentro da região pontilhada notamos um FF RS com portas NE, tal como o estudado anteriormente. Todavia, às entradas  $R$  e  $S$  originais são agora aplicadas as saídas de duas outras portas NE. As "novas" entradas  $R$  e  $S$  passam a ser as entradas de cada uma destas portas NE que foram introduzidas. Por sua vez, interligando-se as outras duas entradas restantes, obtemos mais uma entrada para este FF, que será designada por **entrada de cadenciador**. Vejamos qual a sua função.

Se a entrada de cadenciador for mantida em "0", o circuito não aceitará as informações aplicadas às entradas  $R$  e  $S$ , permanecendo as saídas  $Q$  e  $\bar{Q}$  no estado de memorização ( $Q_t = Q_{t-1}$ ), isto porque um nível baixo, numa das entradas das portas NE, faz com que as saídas sejam sempre "1", independente do nível lógico que seja aplicado às outras entradas. Assim, para que o FF "funcione", ou melhor, aceite uma sensibilização ou reciclagem, temos que impor uma outra condição, além da informação que vamos introduzir nas entradas  $R$  ou  $S$ . Esta condição é colocar a en-



INSTANTES EM QUE A CHAVE É ACIONADA

FIG. 11 — Formas de onda nas saídas do circuito da Fig. 10.

trada de cadenciador em nível alto.

A Tabela V vai nos ajudar a entender como funciona o FF RS com cadenciador.

A Tabela V poderá ser comprovada na prática se montarmos o circuito sugerido na Fig. 13, no qual utilizamos as quatro portas NE do 7400.

Chamamos a atenção para o fato de que o circuito em questão possui dois modos de **memorização**: 1) com cadenciador = "0", ficando independente de R e S; 2) com cadenciador = "1", e R = S = "0".

A vantagem deste FF sobre os estudados anteriormente é que ele permite ao usuário enviar informações para as entradas, e, mesmo assim, o circuito mantém

S	R	CADENCIADOR	$Q_t$	$\bar{Q}_t$	ESTADO
X	X	0	$Q_{t+1}$	$\bar{Q}_{t+1}$	MEMORIZAÇÃO
0	0	1	$Q_{t-1}$	$\bar{Q}_{t-1}$	
0	1	1	0	1	RECICLA
1	0	1	1	0	SENSIBILIZA
1	1	1	1	1	ESTADO NÃO PERMITIDO

X – não importa o nível lógico

TABELA V

TABELA V — Tabela de Verdades de um flip-flop RS com entrada de cadenciador.

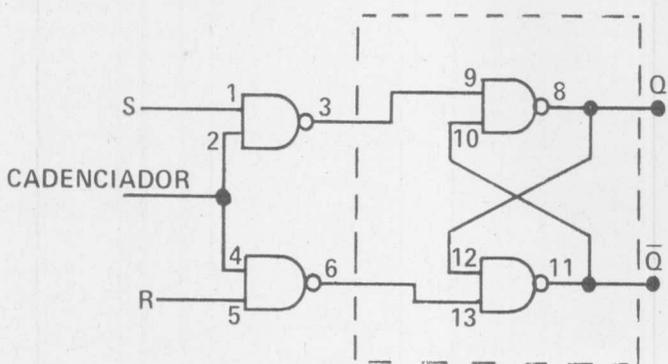


FIG. 12 — Flip-flop RS com entrada de cadenciador.

suas saídas no estado anterior, até que um outro comando seja enviado: o pulso de **cadenciador**. Este comando poderia, por exemplo, ser feito através de uma chave de acionamento momentâneo, que liga a entrada de cadenciador à massa quando em repouso.

### COMO DISPARAR UM FF

No circuito estudado anteriormente, a entrada de cadenciador produzia uma mudança de estado no FF, desde que fosse **mantida** em um determinado nível pré-estabelecido; no caso em questão, este nível era "1". Outros FF, que têm entrada de cadenciador, são do tipo "disparável", isto é, produzem uma mudança de estado como consequência de uma mudança brusca no nível lógico presente em sua entrada de cadenciador. A este comportamento com a mudança brusca de nível ("1" para "0", ou "0" para "1") que produz o disparo ou "gatilhamento" ("trigger") do FF, chama-se disparo por flanco ("edge") do pulso do cadenciador. Na Fig. 14 procuramos dar uma idéia do que foi explicado.

Em inglês, este tipo de FF é conhecido como "edge triggered", expressão esta que em português vem sendo traduzida por "disparável por flancos". Simbolicamente, esta espécie de cadenciador é representada por uma das formas mostradas na Fig. 15 (a e b).

O símbolo da Fig. 15a significa que o disparo ocorre no momento em que há uma mudança do nível baixo para o alto ( $\uparrow$ ) enquanto que o da Fig. 15b refere-se a uma mudança de alto para baixo ( $\downarrow$ ).

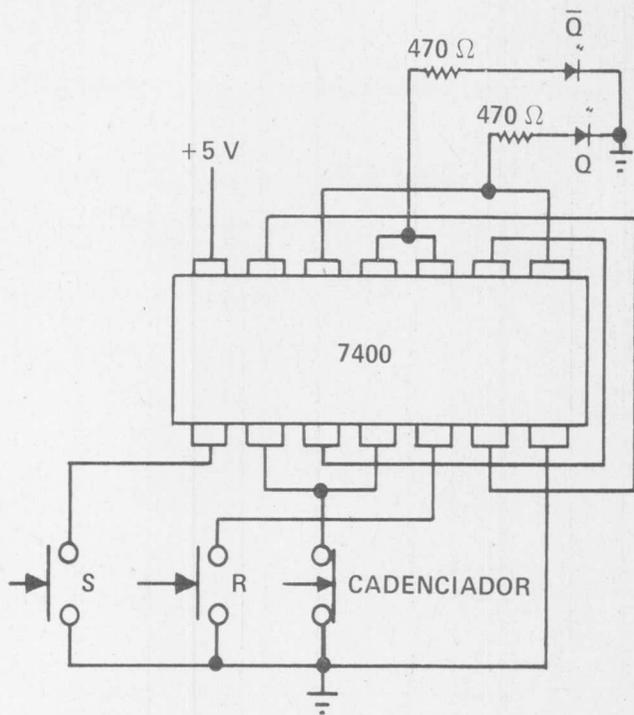


FIG. 13 — Circuito prático do FF RS com entrada de cadenciador utilizando o C.I. 7400.

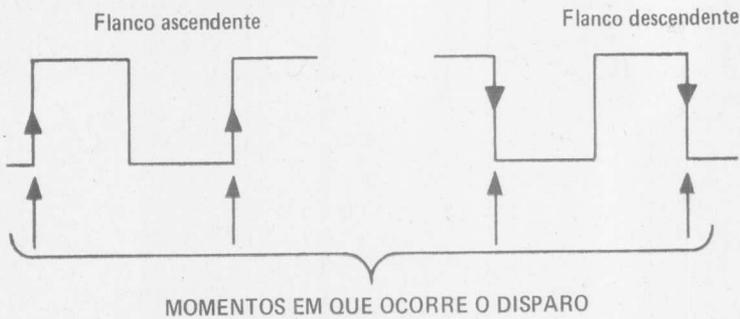


FIG. 14 — Nos flip-flops do tipo "disparável" podemos ter acionamento por flancos ascendentes ou descendentes.

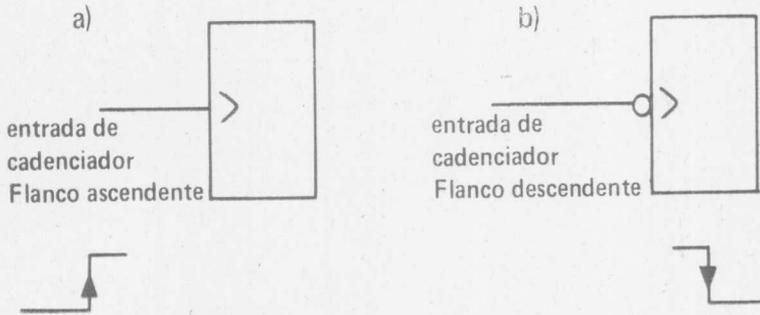


FIG. 15 — De acordo com o flanco do pulso que provoca o disparo, o FF pode ser assim representado: a) disparável por flancos ascendentes; b) disparável por flancos descendentes.

### FF TIPO "D" DISPARÁVEL POR NÍVEL ("LEVEL SENSITIVE")

Como vimos, todos os FF RS até aqui estudados apresentam uma condição imprópria quando ambas as entradas são mantidas simultaneamente em "1" ou "0", dependendo das portas utilizadas, fazendo com que as saídas assumam níveis indeterminados, ou seja,  $Q = \bar{Q}$ .

Uma ligeira modificação no circuito de um FF RS nos levará a um outro tipo de FF, conhecido como tipo D ("data" = dados, ou "delay" = retardo), no qual esta indeterminação ou ambigüidade é eliminada. A Fig. 16 nos mostra como é estruturado este FF.

Neste novo circuito, como podemos notar, a entrada S é ligada à entrada R através de um circuito inversor, sendo que a entrada de dados passa a ser feita apenas através da entrada R, que daqui por diante passa a ser, então, designada por entrada D. Ora, o expediente utilizado nesta configuração assegura que as entradas R e S sejam sempre complementares, o que elimina a possibilidade de termos as duas entradas simultaneamente com nível alto ou baixo, eliminando, em consequência, a condição de ambigüidade. A representação simbólica deste FF é vista na Fig. 17.

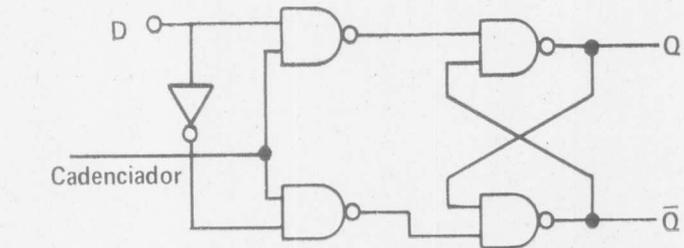


FIG. 16 — Diagrama de portas lógicas do FF tipo D.

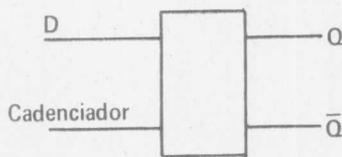


FIG. 17 — Representação simbólica do FF tipo D.

### FF TIPO D DISPARÁVEL POR FLANCOS

Este tipo de FF caracteriza-se por se manter sempre no estado de memorização, só aceitando a entrada de dados, ou melhor, só sendo sensibilizado por ela, no momento em que o pulso do ca-

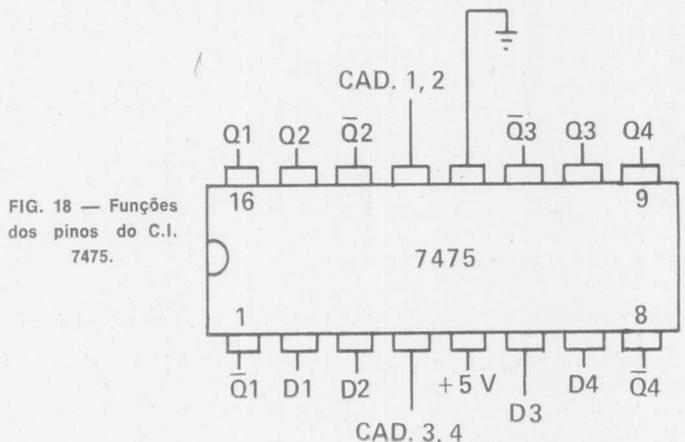


FIG. 18 — Funções dos pinos do C.I. 7475.

O funcionamento do FF D mostra-nos algumas diferenças em relação ao do tipo RS. Primeiramente, observamos que, se a entrada de cadenciador for mantida em "0", o circuito fica no estado de memorização, e não leva em consideração o que for aplicado à entrada D.

Entretanto, quando a entrada de cadenciador é posta em "1", a saída Q irá para o mesmo nível do dado aplicado em D. Um resumo do que foi dito é exibido pela Tabela VI.

As experiências com este FF podem ser simplificadas utilizando o TTL 7475, que contém quatro flip-flops tipo D em um único encapsulamento de 16 pinos (Fig. 18).

Observe que a entrada de disparo é comum para cada par de FF, e que também os pinos de alimentação não são os convencionais 7 e 14; no 7475 o + 5V deve ser aplicado ao pino 5, e o negativo (massa), ao pino 12. Para maior familiarização com o FF tipo D, monte o circuito sugerido na Fig. 19, e comprove o seu funcionamento com auxílio da Tabela VI.

D	CAD.	Q	$\bar{Q}$	MEMÓRIA
X	0	$Q_{t-1}$	$\bar{Q}_{t-1}$	
0	1	0	1	
1	1	1	0	

X — não importa o nível lógico

TABELA VI

denciador muda de um nível para outro: baixo para alto, ou alto para baixo, de acordo com o arranjo do circuito.

Por exemplo, o 7474 é um FF tipo D da família TTL, disparável por flancos ascendentes, isto é, somente quando o pulso de cadenciador passa do nível baixo para o alto, o dado de entrada é admitido, e então memorizado na saída. Na Tabela VII temos um resumo do funcionamento do 7474.

Encontramos, ainda, C.I. que nos fornecem FF tipo D disparáveis por flancos (ascendentes ou descendentes) e que possuem entradas assíncronas de limpeza ("clear") e sensibilização ("set"). Estas entradas são chamadas **assíncronas** porque suas atuações são independentes da entrada de cadenciador; caso elas funcionassem em sincronismo com a entrada de cadenciador, seriam chamadas de **síncronas**.

Se somente as entradas de sensibilização e reciclagem forem utilizadas, o FF passa a funcionar como um FF RS convencional. Para podermos trabalhar com as entradas de cadenciador e D, devemos desativar as entradas de sensibilização e reciclagem, levando-as ao nível indicado pelo fabricante do C.I.

A Fig. 20 mostra as funções dos pinos do C.I. 7474.

O pulso de cadenciador foi introduzido com o auxílio de um interruptor de pressão acoplado a um circuito eliminador de repique, como o sugerido anteriormente.

A seguir fornecemos uma lista de algumas das opções de que dispomos com relação aos FF tipo D.

### FAMÍLIA CMOS

4013 — FF D duplo, disparável por flancos ascendentes, entradas de sensibilização e reciclagem.

4042 — quatro FF D que podem ser disparados por flancos ascendentes ou descendentes.

4076 — quatro FF D com lógica de três estados ("tri-state").

### ALGUMAS DEFINIÇÕES

No estudo de FF disparáveis, alguns conceitos costumam aparecer na literatura técnica e nos manuais, tais como tempo de operação ("set up time") e tempo de manutenção ("hold time"), os quais passaremos a definir.

**Tempo de Operação:** É o tempo mínimo que o dado aplicado à entrada deve ser mantido antes de ocorrer uma transição ativa

TABELA VI — Tabela de Verdades de um flip-flop tipo D.

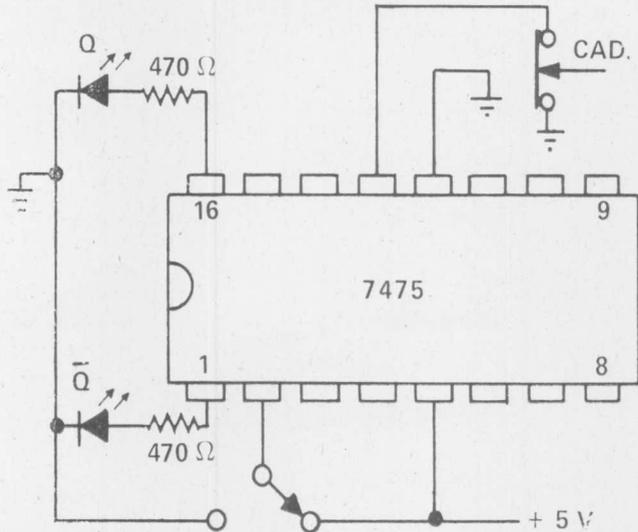


FIG. 19 — Circuito prático com o C.I. 7475 para experiências com o FF tipo D.

### FAMÍLIA TTL

7474 — FF D duplo, disparável por flancos ascendentes, com entradas de sensibilização e reciclagem.

74174 — seis FF D disparáveis por flancos, com reciclagem e somente saída Q.

74175 — quatro FF D disparáveis por flancos ascendentes, com reciclagem.

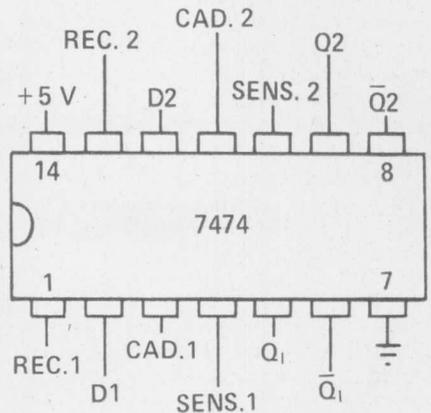


FIG. 20 — Funções dos pinos do integrado 7474.

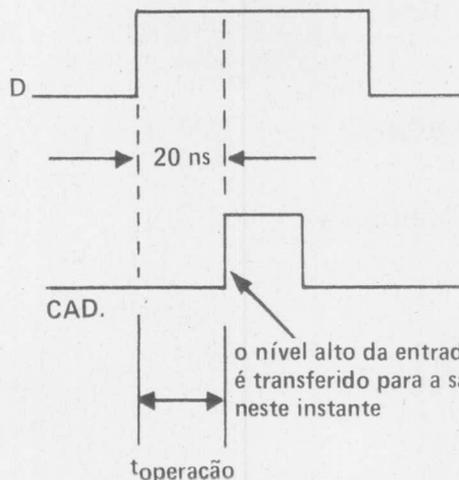
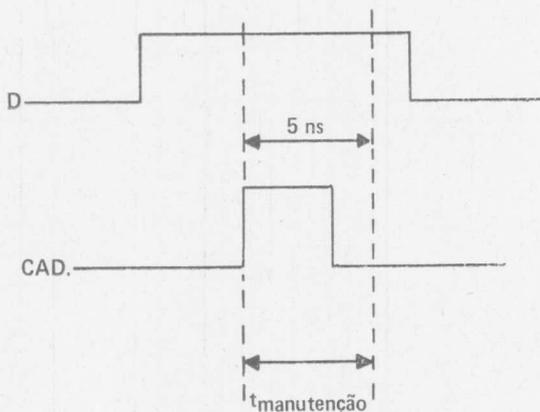


FIG. 21 — Formas de onda dos sinais aplicados à entrada D e de cadenciador, mostrando o relacionamento de fase e o "tempo de operação".

D	CAD.	Q	$\bar{Q}$	MEMÓRIA
X	1	$Q_{t-1}$	$\bar{Q}_{t-1}$	
X	0	$Q_{t-1}$	$\bar{Q}_{t-1}$	
1	↑	1	0	
0	↑	0	1	

X — não importa o nível lógico

TABELA VII



na entrada de cadenciador (flanco). Por exemplo, o tempo de operação do 7474, segundo o manual do fabricante, é 20 ns; isto significa que o dado de entrada deve estar presente na entrada D, no mínimo, 20 ns antes da chegada do flanco ascendente de cadenciador. Na Fig. 21 temos uma ilustração do que foi explicado.

**Tempo de Manutenção:** É definido como o tempo mínimo em que o dado deve ser mantido na entrada após ocorrer uma transição ativa do pulso de cadenciador. No caso do 7474, por exemplo, o tempo de manutenção é de, no máximo (pior caso), 5 ns. Assim, para o exemplo da Fig. 21, o nível lógico da entrada D deve ser mantido durante, no mínimo, 5 ns após a ocorrência do flanco do pulso de disparo. Veja a Fig. 22 para melhor compreensão.

TABELA VII — Tabela de Verdades dos flip-flops D disparáveis por flancos, contidos no C.I. 7474.

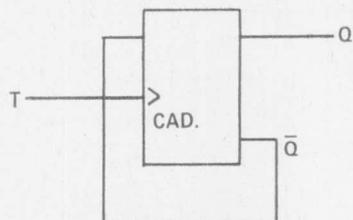


FIG. 24 — Flip-flop do tipo T obtido utilizando-se um FF D.

passando o sinal de entrada a ser aplicado na entrada de cadenciador.

Uma aplicação imediata para FF tipo T é a construção de um divisor por 2.

### FF JK

Antes de entrarmos no mérito da questão, ou melhor, no estudo deste outro tipo de FF, devemos esclarecer que as letras J e K foram escolhidas ao acaso, para diferenciar este FF do tipo RS, não tendo, portanto, nenhuma relação com nomes de cientistas (ou presidentes!), ou, como poderíamos ser levados a pensar, com as iniciais do seu "inventor".

Este é, realmente, o FF mais popular, e isto se deve, sem dúvida, ao fato dele eliminar a indesejável condição de ambigüidade nas saídas, e permitir, quando necessário, a "transformação" em qualquer outro tipo de FF. Os FF JK são do tipo disparável por flanco (ascendente ou descendente).

No FF JK temos duas entradas, designadas por J e K, as quais correspondem às entradas R e S do tipo RS já estudado; analogamente, o FF JK possui duas saídas, Q e  $\bar{Q}$ , e uma entrada de cadenciador. Ele costuma apresentar também entradas de sensibilização e reciclagem, sendo estas assíncronas, enquanto as J e K são síncronas. Um resumo da operação do FF JK é apresentado a seguir.

J = K = "0": Estado de Memorização, onde  $Q_t = Q_{t-1}$ , e  $\bar{Q}_t = \bar{Q}_{t-1}$ .

### FF TIPO T ("TOGGLE")

Este tipo de FF apresenta apenas uma entrada de dados, a qual costuma ser designada pela letra T, inicial da palavra inglesa "toggle", que literalmente significa articulação e, por extensão, basculamento.

O funcionamento do FF T é bastante simples, e se resume no seguinte: cada vez que ocorre um flanco (ascendente ou descendente, dependendo do circuito do FF) no sinal aplicado em T, a saída bascula, ou muda de estado. Na Fig. 23a temos a representação simbólica do FF tipo T, e na Fig. 23b, as formas de onda na entrada e na saída do circuito.

A partir de um FF D podemos construir um do tipo T; sugestão para isto é vista na Fig. 24, onde a saída  $\bar{Q}$  é ligada à entrada D,

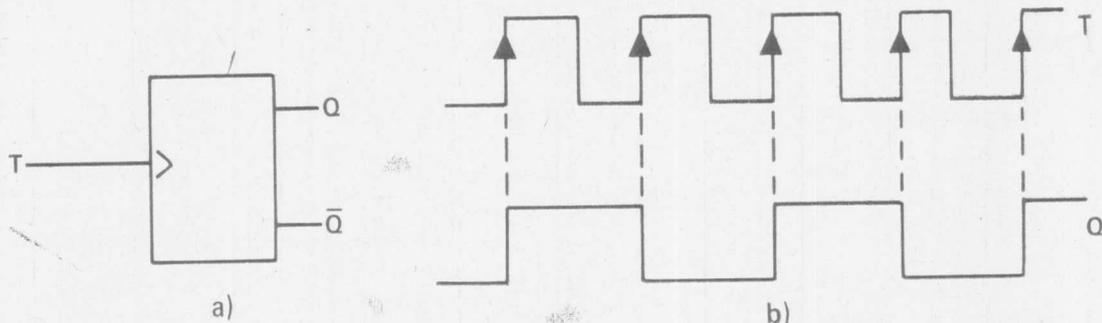


FIG. 23 — a) Representação simbólica do FF T; b) formas de onda na entrada e saída Q do FF T.

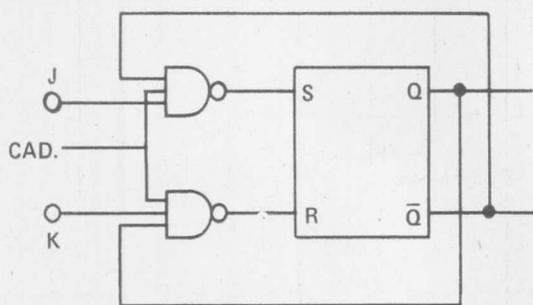


FIG. 25 — Obtenção de um FF JK a partir de um RS.

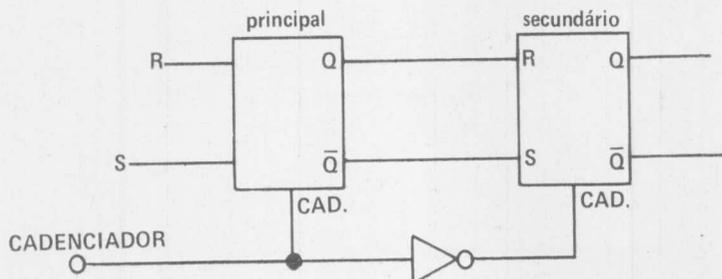


FIG. 26 — Sistema "principal-secundário" com dois FF RS.

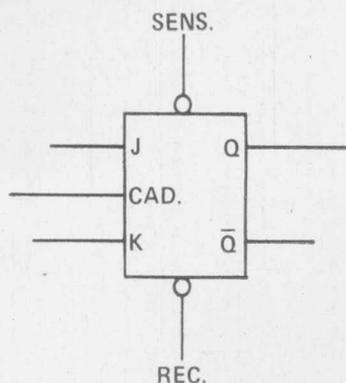


FIG. 27 — Símbolo do FF JK.

de ser ativado, mas o secundário é mantido no estado de memorização, pois sua entrada de cadenciador fica em nível baixo (por causa do inversor). Desta forma, a saída do FF secundário não muda de estado. Quando a entrada de cadenciador for levada a nível zero, o FF principal ficará no estado de memorização, enquanto o secundário, agora, mudará de estado.

Concluimos, portanto, que este tipo de FF exige um pulso completo ("subida" e "descida") do sinal de cadenciador para mudar de estado.

#### FF JK PRINCIPAL-SECUNDÁRIO

Se associarmos o conceito do sistema principal-secundário a um FF JK que possua entradas de sensibilização e reciclagem, teremos obtido o FF definitivo. Na Fig. 27 temos a representação simbólica deste FF.

Como podemos notar pela análise da Tabela VIII, o FF JK principal-secundário exibe duas características novas: não apresenta estado de indeterminação ( $Q = \bar{Q}$ ), e exige um pulso completo de cadenciador para sua operação (⌋).

$J = "1"$ , e  $K = "0"$ : O FF é ativado ( $Q = "1"$  e  $\bar{Q} = "0"$ ) quando ocorre uma transição ativa do cadenciador.

$J = "0"$ , e  $K = "1"$ : O FF é limpo ( $Q = "0"$ , e  $\bar{Q} = "1"$ ) quando ocorre uma transição ativa do cadenciador.

$J = K = "1"$ : O FF muda de estado a cada transição ativa do cadenciador.

Um FF JK pode ser conseguido através da implementação de um FF RS, como se vê na Fig. 25.

Entretanto, o FF JK mais utilizado na prática é o do tipo principal-secundário ("master-slave") que estudaremos a seguir, e, por esta razão, não vamos nos deter mais no estudo do FF JK aqui apresentado.

#### SISTEMA "PRINCIPAL-SECUNDÁRIO"

Qualquer tipo de FF poderia ser projetado utilizando o sistema principal-secundário. Todavia, na prática, este sistema só é utilizado no JK. Mesmo assim, apenas por uma questão de didática, vamos iniciar a apresentação do conceito de principal-secundário utilizando os FF RS.

Na Fig. 26 temos a representação simplificada de um FF em que é utilizado o sistema principal-secundário. Analisando-a, vemos dois FF RS interligados, sendo que as entradas de cadenciador são unidas através de um inversor, o que fará com que cada FF funcione em um instante diferente.

Quando a entrada de cadenciador se encontra em nível alto, o FF principal fica em condições

REC.	SENS.	J	K	CAD.	Q	$\bar{Q}$	ESTADO
0	1	X	X	X	1	0	ATIVADO (ASSÍNCRONO)
1	0	X	X	X	0	1	RECICLADO (ASSÍNCRONO)
1	1	1	0	⌋	1	0	ATIVADO (SÍNCRONO)
1	1	0	1	⌋	0	1	RECICLADO (SÍNCRONO)
1	1	0	0	⌋	$Q_{t-1}$	$\bar{Q}_{t-1}$	MEMORIZAÇÃO
1	1	1	1	⌋	$\bar{Q}_{t-1}$	$Q_{t-1}$	MUDA DE ESTADO

X — não importa o nível lógico aplicado

TABELA VIII

TABELA VIII — Tabela de Verdades de um flip-flop JK com sistema "principal-secundário".

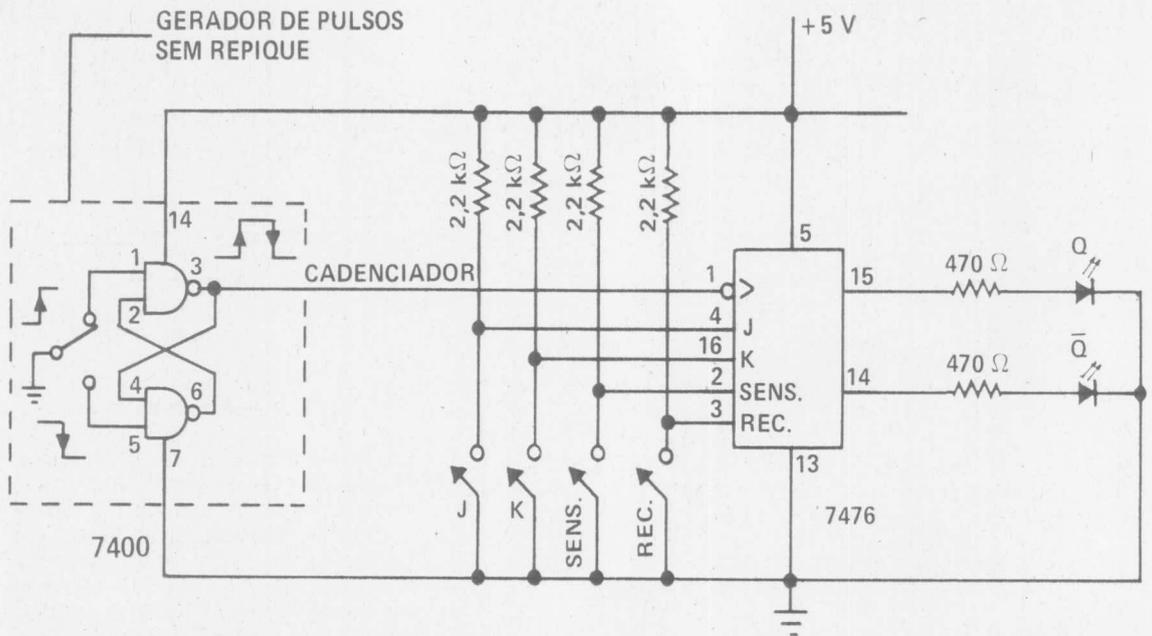


FIG. 28 — Circuito prático para se experimentar um flip-flop JK.

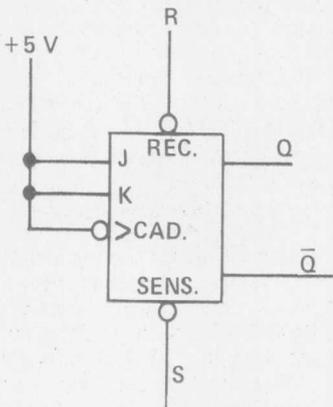


FIG. 29 — Flip-flop RS formado com um FF JK.

Para demonstrar o funcionamento do FF JK principal-secundário, escolhemos o C.I. 7476, e sugerimos a montagem do circuito da Fig. 28, para que possam ser verificadas todas as condições da Tabela VIII.

#### OBTENÇÃO DOS OUTROS TIPOS DE FF A PARTIR DO JK PRINCIPAL-SECUNDÁRIO

A grande popularidade do FF JK se deve, sem dúvida, ao fato de que ele pode ser "programável" para funcionar como qualquer outro tipo de FF, exceto o de tipo D disparável por nível.

Nas Figs. 29, 30, 31 e 32 apresentamos as interligações necessárias para se obter diversos tipos de FF a partir de um JK, que poderá ser, por exemplo, o C.I. 7476.

#### ALGUNS DOS FF JK PRINCIPAL-SECUNDÁRIO DISPONÍVEIS

Todos os FF JK disponíveis sob a forma de C.I. são do tipo

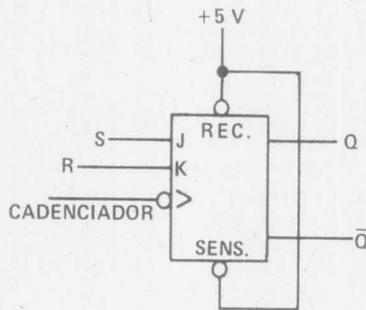


FIG. 30 — Flip-flop RS disparável, formado com um FF JK.

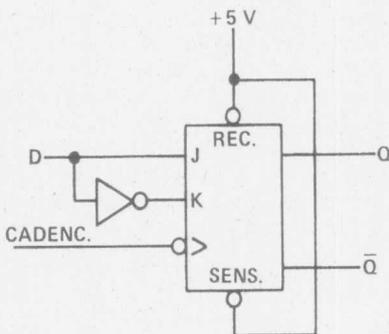


FIG. 31 — Flip-flop tipo D disparável por flancos, formado com um FF JK.

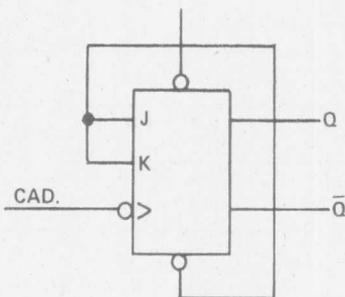


FIG. 32 — Flip-flop tipo T, formado com um FF JK.

principal-secundário e, por isso, esta expressão, via de regra, é omitida dos manuais.

O circuito interno de um FF JK (principal-secundário) é bastante complexo. Todavia, tais FF podem ser encontrados sob a forma de C.I., tanto na família TTL como na CMOS, o que facilita, obviamente, o projeto e a montagem quando se necessita utilizá-los. A seguir, apresentamos algumas das opções:

**Família TTL: 7476** — FF JK duplo, com entradas de sensibilização e reciclagem assíncronas, e saídas Q e Q-bar.

**7473** — FF JK duplo, só com entrada de reciclagem assíncrona, e saídas Q e Q-bar.

**74109** — FF JK com entradas de sensibilização e reciclagem assíncronas, e saídas Q e Q-bar; a entrada é invertida.

**Família CMOS: 4027** — FF JK duplo, com entradas de sensibilização e reciclagem assíncronas, e saídas Q e Q-bar.

#### CONCLUSÃO

Aqui terminamos nosso estudo sobre os FF, um dos circuitos mais importantes no desenvolvimento da Eletrônica Digital. Procuramos dar ao leitor os conceitos e definições destes circuitos, bem como uma orientação prática para que seja possível iniciar um autotreinamento com os FF. Após a compreensão e sedimentação dos conceitos aqui expostos, o estudo de circuitos mais complicados, como contadores e registros de deslocamento, se tornará bem mais fácil.

o o o — o — (OR 1598)